

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Shuichi Kikuchi et al. Art Unit : Unknown
Serial No. : Examiner : Unknown
Filed : August 31, 2001
Title : SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE
SAME

jc971 U.S. PTO
09/943667
08/31/01

Commissioner for Patents
Washington, D.C. 20231

#2

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):


· Japan Application No. 2000-318806 filed October 19, 2000

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: August 31, 2001


Chris T. Mizumoto
Reg. No. 42,899

Fish & Richardson P.C.
45 Rockefeller Plaza, Suite 2800
New York, New York 10111
Telephone: (212) 765-5070
Facsimile: (212) 258-2291

30065214.doc

CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Label No. EF353814331US

I hereby certify under 37 CFR §1.10 that this correspondence is being deposited with the United States Postal Service as Express Mail Post Office to Addressee with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

August 31, 2001
Date of Deposit


Signature

Francisco Robles
Typed or Printed Name of Person Signing Certificate

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jc971 U.S. PTO
09/943667
08/31/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月19日

出 願 番 号

Application Number:

特願2000-318806

出 願 人

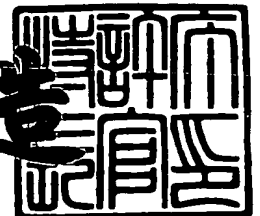
Applicant(s):

三洋電機株式会社

2001年 8月 3日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3068987

【書類名】 特許願

【整理番号】 KIA1000075

【提出日】 平成12年10月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【氏名】 菊地 修一

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【氏名】 西部 栄次

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話03-3837-7751 法務・知的財産部
東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 一導電型の半導体基板上にゲート酸化膜を介して形成されたゲート電極と、

前記ゲート電極の一端に隣接するように形成された逆導電型の第 1 の低濃度ドレイン領域と、

前記第 1 の低濃度ドレイン領域内の極近傍に形成され、少なくとも当該第 1 の低濃度ドレイン領域の不純物濃度よりも不純物濃度が高い逆導電型の第 2 の低濃度ドレイン領域と、

前記ゲート電極の他端に隣接するように形成された逆導電型の高濃度ソース領域と前記ゲート電極の一端から所定間隔を有するように前記低濃度ドレイン領域内に形成された逆導電型の高濃度ドレイン領域とを具備したことを特徴とする半導体装置。

【請求項 2】 前記第 1 の低濃度のドレイン領域及び前記第 2 の低濃度のドレイン領域が、拡散係数の異なる 2 種類の逆導電型不純物の拡散係数の差を利用して形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 の低濃度のドレイン領域及び前記第 2 の低濃度のドレイン領域が、リンイオンから成る第 1 の不純物と、ヒ素イオンから成る第 2 の不純物との拡散係数の差を利用して形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 一導電型の半導体基板上にゲート酸化膜を介して形成されたゲート電極に隣接するように形成された逆導電型の高濃度のソース領域とゲート電極に隣接するように形成された逆導電型の低濃度のドレイン領域及び当該低濃度のドレイン領域内に形成された高濃度のドレイン領域とを有する半導体装置の製造方法において、

前記低濃度のドレイン領域の形成工程が、拡散係数の異なる少なくとも 2 種類以上の逆導電型不純物を同一マスクを用いてイオン注入し、それらの不純物を拡散させる工程から成ることを特徴とする半導体装置の製造方法。

【請求項 5】 一導電型の半導体基板上のドレイン形成領域上に第 1 の開口を有する第 1 のレジスト膜を形成し、当該レジスト膜をマスクにして前記基板に逆導電型の第 1, 第 2 の不純物をイオン注入した後に当該第 1, 第 2 の不純物を拡散させて逆導電型の第 1, 第 2 の低濃度のドレイン領域を形成する工程と、

前記基板上に形成した耐酸化性膜をマスクに選択酸化して所定領域に素子分離膜を形成すると共に第 1 のゲート酸化膜を形成した後に、当該素子分離膜及び第 1 のゲート酸化膜以外の領域に第 2 のゲート酸化膜を形成する工程と、

前記第 1 のゲート酸化膜から第 2 のゲート酸化膜上に跨るようにゲート電極を形成する工程と、

前記基板上のソース形成領域上に第 2 の開口を有し、前記低濃度のドレイン領域上の前記ゲート電極の他端部から離間された領域上に第 3 の開口を有する第 2 のレジスト膜を形成する工程と、

前記第 2 のレジスト膜、前記ゲート電極、前記素子分離膜及び前記第 1 のゲート酸化膜をマスクにして前記基板に逆導電型の第 3 の不純物をイオン注入して逆導電型の高濃度のソース・ドレイン領域を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 6】 前記第 1 の低濃度のドレイン領域及び第 2 の低濃度のドレイン領域を形成する工程が、拡散係数の異なる 2 種類の逆導電型不純物の拡散係数の差を利用していることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記第 1 の低濃度のドレイン領域及び第 2 の低濃度のドレイン領域を形成する工程が、リンイオンから成る前記第 1 の不純物とヒ素イオンから成る前記第 2 の不純物とを同時に熱処理し、それらの不純物の拡散係数の差を利用していることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に関し、更に言えば、駆動能力の低下を抑えつつ、動作耐圧の向上を図る技術に関する。

【0002】

【従来の技術】

図 5 は従来の半導体装置を説明するための断面図である。

【0003】

図 5 において、51 は一導電型、例えば P 型の半導体基板で、当該基板 51 上にゲート酸化膜 52 を介してゲート電極 53 が形成され、当該ゲート電極 53 に隣接するように片側 LDD 構造のソース・ドレイン領域が形成されている。即ち、ソース領域側には前記ゲート電極 53 に隣接するように高濃度 (N+ 型) のソース領域 55 が形成され、ドレイン領域側には前記ゲート電極 53 に隣接するように低濃度 (N- 型) のドレイン領域 54 が形成され、当該低濃度のドレイン領域 54 内に高濃度 (N+ 型) のドレイン領域 56 が形成された片側 LDD 構造のソース・ドレイン領域を有する半導体装置である。

【0004】

【発明が解決しようとする課題】

上述したようなドレイン領域側にしか高電圧が印加されない片側 LDD 構造の半導体装置において、ドレイン領域側は、電界が集中するのを緩和するために前述したように高濃度のドレイン領域 56 を低濃度のドレイン領域 54 で囲んでいたが、ソース領域側は高濃度のソース領域 55 だけであった。

【0005】

このような構造の半導体装置であっても静的な耐圧に関しては、特に問題にする必要はなかった。しかし、動作時には、以下に説明する問題が発生していた。

【0006】

即ち、ソース領域 (エミッタ領域)、基板 (ベース領域)、そしてドレイン領域 (コレクタ領域) から成るバイポーラ構造において、エミッタ領域は高濃度のソース領域 55 が剥き出しのため、キャリアの注入効率が良く、少ない基板電流 I_{sub} で容易にバイポーラトランジスタがオンしてしまう。

【0007】

つまり、バイポーラトランジスタにおける電流利得 β が高いため、両側 LDD 構造の半導体装置に比して動作時のドレイン耐圧が低下してしまう。

【0008】

ここで、動作時のドレイン耐圧を向上させるには、基板電流 I_{sub} を低減させる必要がある。つまり、ドレイン電界を更に弱める必要がある。

【0009】

しかし、基板電流 I_{sub} を低減させるために低濃度のドレイン領域 54 全体の不純物濃度を薄くすると、図6に実線で示すように基板電流 I_{sub} は、電圧 V_{gs} が増大するにつれて2つのピーク（（1）、（2））を持ったDouble hump構造となる。

【0010】

そして、当該低濃度のドレイン領域 54 がより低濃度である場合には、基板電流 I_{sub} の第1のピーク（1）は低く、低 V_{gs} 時のドレイン耐圧は向上するが、基板電流 I_{sub} の第2のピーク（2）は比較的高くなるため、高 V_{gs} 時のドレイン耐圧は低下してしまう。

【0011】

また、逆に、低濃度のドレイン領域 54 全体の不純物濃度を高くすると、図6に一点鎖線で示すように基板電流 I_{sub} は、ある電圧 V_{gs} をピークにした1つのピークができ、高 V_{gs} 時のドレイン耐圧には有効であるが、低 V_{gs} 時のドレイン耐圧がもたないという問題があった。

【0012】

このように低濃度のドレイン領域 54 全体の不純物濃度を一様に変動させてしまうと、低 V_{gs} 時のドレイン耐圧と高 V_{gs} 時のドレイン耐圧のトレードオフ関係から抜け出せない。

【0013】

また、一般的に用いられている両側 LDD 構造を採用すれば電流利得 β が下がり確かに耐圧はもつが、本来、ソース側は耐圧を必要としないにもかかわらず、ソース側にも通常の LDD 構造を採用することで、図5に示すようなドレイン側と同様のドリフト領域の距離（L）を持つことになり、オン抵抗が上昇し、駆動能力が低下することになる。

【0014】

【課題を解決するための手段】

そこで、上記課題に鑑みて本発明の半導体装置は、一導電型の半導体基板上にゲート酸化膜を介して形成されたゲート電極と、当該ゲート電極の一端に隣接するように形成された逆導電型の第1の低濃度ドレイン領域と、当該第1の低濃度ドレイン領域内の極近傍に形成され、少なくとも当該第1の低濃度ドレイン領域の不純物濃度よりも不純物濃度が高い逆導電型の第2の低濃度ドレイン領域と、前記ゲート電極の他端に隣接するように形成された逆導電型の高濃度ソース領域と前記ゲート電極の一端から所定間隔を有するように前記低濃度ドレイン領域内に形成された逆導電型の高濃度ドレイン領域とを具備したことを特徴とする。

【0015】

また、その製造方法は、前記基板上のドレイン形成領域上に第1の開口を有する第1のレジスト膜を形成し、当該レジスト膜をマスクにして前記基板に逆導電型の第1、第2の不純物をイオン注入した後に、当該第1、第2の不純物を拡散させて逆導電型の第1、第2の低濃度のドレイン領域を形成する。次に、前記基板上に形成した耐酸化性膜をマスクに選択酸化して所定領域に素子分離膜を形成すると共に第1のゲート酸化膜を形成した後に、当該素子分離膜及び第1のゲート酸化膜以外の領域に第2のゲート酸化膜を形成し、当該第1のゲート酸化膜から第2のゲート酸化膜上に跨るようにゲート電極を形成する。続いて、前記基板上のソース形成領域上に第2の開口を有し、前記低濃度のドレイン領域上に前記ゲート電極の他端部から離間された領域に第3の開口を有する第2のレジスト膜を形成した後に、前記第2のレジスト膜、前記ゲート電極、前記素子分離膜及び前記第1のゲート酸化膜をマスクにして前記基板に逆導電型の第3の不純物をイオン注入して逆導電型の高濃度のソース・ドレイン領域を形成する工程とを具備したことを特徴とする。

【0016】

これにより、前記逆導電型の第1の低濃度ドレイン領域内の極近傍に当該第1の低濃度ドレイン領域の不純物濃度よりも不純物濃度が高い逆導電型の第2の低濃度ドレイン領域を形成することで、低濃度ドレイン領域内の不純物分布を一様に変化させるのではなく、当該低濃度ドレイン領域を拡散係数の異なる2種類の不純物イオンから成る2重構造とし、第1の低濃度ドレイン領域で低V_{gs}耐圧

をもたせ、当該第 1 の低濃度ドレイン領域よりも不純物濃度が高い第 2 の低濃度ドレイン領域で高 V_{gs} 耐圧をもたせることができる。

【0017】

更に、前記第 1 の低濃度のドレイン領域及び第 2 の低濃度のドレイン領域を形成する工程が、リンイオンから成る前記第 1 の不純物とヒ素イオンから成る前記第 2 の不純物とを同時に熱処理し、それらの不純物の拡散係数の差を利用していることを特徴とする。

【0018】

このように第 1 の低濃度のドレイン領域及び第 2 の低濃度のドレイン領域を形成する際に、2 種類の不純物の拡散係数の差を利用し、それらの不純物を同一拡散工程で形成しているため、第 1 の低濃度のドレイン領域内の極近傍に第 2 の低濃度のドレイン領域を正確に形成することができる。

【0019】

【発明の実施の形態】

以下、本発明の半導体装置とその製造方法に係る一実施形態について図面を参照しながら説明する。

【0020】

本発明の半導体装置は、図 4 に示すように一導電型、例えば P 型の半導体基板 1 上に第 1 のゲート酸化膜 7 A から第 2 のゲート酸化膜 8 に跨るようにゲート電極 9 が形成されている。また、前記ゲート電極 9 の一端（第 2 のゲート酸化膜 8 の一端部）に隣接するように高濃度（N+型）のソース領域 10 が形成されている。更に、前記ゲート電極 6 の他端（第 1 のゲート酸化膜 7 A の他端部）に隣接するように第 1 の低濃度（LN 型）のドレイン領域 5 が形成され、当該第 1 の低濃度（LN 型）のドレイン領域 5 内の極近傍に少なくとも当該第 1 の低濃度（LN 型）のドレイン領域 5 の不純物濃度よりも不純物濃度が高い第 2 の低濃度（SLN 型）のドレイン領域 6 が形成され、当該第 2 の低濃度（SLN 型）のドレイン領域 6 内で、前記ゲート電極 6 から離間された領域（前記第 1 のゲート酸化膜 7 A の一端部に隣接するよう）に高濃度（N+型）のドレイン領域 11 が形成されている。

【 0 0 2 1 】

そして、このような構成を採用し、前記第1の低濃度（LN型）のドレイン領域5内の極近傍に当該第1の低濃度（LN型）のドレイン領域5の不純物濃度よりも不純物濃度が高い第2の低濃度（SLN型）のドレイン領域6を形成することで、従来のように低濃度ドレイン領域内の不純物分布を一様に変化させるのではなく、後述するように低濃度ドレイン領域を拡散係数の異なる2種類の不純物イオンから成る2重（第1の低濃度（LN型）のドレイン領域5の不純物濃度よりも不純物濃度が高い第2の低濃度（SLN型）のドレイン領域6を当該第1の低濃度（LN型）のドレイン領域5で薄く包み込む）構造とし、第1の低濃度（LN型）のドレイン領域5で低V_{gs} 耐圧をもたせ、第2の低濃度（SLN型）のドレイン領域6で高V_{gs} 耐圧をもたせることができ、動作時におけるドレイン耐圧を向上させることができる。

【 0 0 2 2 】

このように本発明では、低濃度のドレイン領域全体の不純物濃度を一様に変化させるのではなく、当該低濃度のドレイン領域が少なくとも2種類以上の異なる不純物濃度を持つように構成したことで、低V_{gs} 時のドレイン耐圧と高V_{gs} 時のドレイン耐圧のトレードオフ関係にとらわれずに、動作時におけるドレイン耐圧を向上させることができる。

【 0 0 2 3 】

また、従来のようなソース・ドレイン領域とも略対称な低濃度のソース・ドレイン領域を有するLDD構造の半導体装置を採用する必要がなく、当該半導体装置に比してドリフト領域を持たないため、その駆動能力の低下を抑えることができる。

【 0 0 2 4 】

以下、上記半導体装置の製造方法について図面を参照しながら説明する。

【 0 0 2 5 】

先ず、図1において、P型の半導体基板1上のドレイン形成領域上に開口を有するレジスト（PR）膜2を形成し、当該レジスト（PR）膜2をマスクにし、第1及び第2の不純物をイオン注入して第1及び第2の不純物注入領域を形成す

る。尚、このとき前記第2の不純物は、前記第1の不純物よりも拡散係数の小さいものを用いる必要があり、前記第1の不純物がリンイオンとした場合には、例えば、ヒ素イオンを使用し、リンイオンをおよそ100 KeVの加速電圧で、およそ $6 \times 10^{12} / \text{cm}^2$ の注入量でイオン注入し、第1の不純物注入領域3を形成した後に、ヒ素イオンをおよそ160 KeVの加速電圧で、およそ $5 \times 10^{11} / \text{cm}^2$ の注入量でイオン注入して、第2の不純物注入領域4を形成している。

【0026】

続いて、図2において、前記レジスト膜2を除去した後に、前記リンイオン及びヒ素イオンを熱拡散させて第1の低濃度（LN型）のドレイン領域5を形成すると共に、当該低濃度のドレイン領域5内の極近傍に少なくとも低濃度のドレイン領域5よりも不純物濃度の高い第2の低濃度（SLN型）のドレイン領域6を形成する。このとき、本実施形態では、およそ1100℃で、4時間の熱処理を施している。

【0027】

そして、本工程では拡散係数の異なる2種類の不純物イオン（リンイオン、ヒ素イオン）を同一マスク（レジスト膜2）を用いてイオン注入し、これらの不純物の拡散係数の差を利用して拡散させているため、比較的不純物濃度の高い第2の低濃度（SLN型）のドレイン領域6を薄い第1の低濃度（LN型）のドレイン領域5で適正な間隔を存して包み込むように形成することができる。

【0028】

次に、図3において、前記基板1上に不図示のパッド酸化膜及び所定領域（第1のゲート酸化膜形成領域及び素子分離膜形成領域）に開口を有する耐酸化性膜としてのシリコン窒化膜を形成した後に、当該シリコン窒化膜をマスクにして周知なLOCOS法により選択酸化しておよそ1000 nmの膜厚の第1のゲート酸化膜7A及び素子分離膜7Bをそれぞれ形成する。更に、前記パッド酸化膜及びシリコン窒化膜を除去した後に、前記第1のゲート酸化膜7A及び素子分離膜7Bが形成されていない基板1上を熱酸化しておよそ150 nmの膜厚の第2のゲート酸化膜8を形成する。そして、前記基板1上におよそ400 nmの膜厚のポリシリコン膜を形成し、当該ポリシリコン膜を導電化処理した後に、不図示の

レジスト膜をマスクにパターニングして前記第1のゲート酸化膜7Aから第2のゲート酸化膜8に跨るようにゲート電極9を形成する。このとき、ゲート電極9が形成された以外の基板1上の第2のゲート酸化膜8は除去される。

【0029】

更に、図4において、前記基板1上に形成したレジスト（PR）膜12をマスクにして、前記ゲート電極9の一端部に隣接するようにN型の不純物をイオン注入し、また前記ゲート電極9の他端部から離間され、かつ前記第1のゲート酸化膜7Aの一端部に隣接するようにN型の不純物をイオン注入して、前記ゲート電極の一端部に隣接するように高濃度（N+型）のソース領域10を形成すると共に、前記第2の低濃度のドレイン領域6内で、前記ゲート電極9の他端部から離間された領域（前記第1のゲート酸化膜7Aの他端部に隣接するよう）に高濃度（N+型）のドレイン領域11を形成する。このとき、ヒ素イオンをおよそ80 KeVの加速電圧で、およそ $6 \times 10^{15} / \text{cm}^2$ の注入量でイオン注入している。

【0030】

以下図示した説明は省略するが、全面に層間絶縁膜を形成し、前記ソース・ドレイン領域にコンタクトするように当該層間絶縁膜にコンタクト孔を形成した後に、当該コンタクト孔を介してソース・ドレイン電極を形成する。

【0031】

このように本発明の製造方法では、前述したように前記基板1表層にイオン注入しておいた拡散係数の異なる2種類の不純物（リンイオン、ヒ素イオン）を熱拡散処理することで、その拡散係数の差を利用して、2種類の不純物濃度を有する2重構造（第2の低濃度（SLN型）のドレイン領域6（ヒ素イオンを親とする）を第1の低濃度（LN型）のドレイン領域5（リンイオンを親とする）で薄く包み込むように）低濃度のドレイン領域を形成している。そのため、従来のように低濃度のドレイン領域全体の不純物濃度を一様に変動させるものと異なり、低 V_{gs} 時のドレイン耐圧と高 V_{gs} 時のドレイン耐圧のトレードオフ関係にとらわれず、動作時におけるドレイン耐圧を向上させることができる。

【0032】

【発明の効果】

本発明によれば、低濃度のドレイン領域を２種類の異なる不純物濃度を有するように形成することで、不純物濃度の低い第１の低濃度のドレイン領域で低 V_{gs} 耐圧をもたせ、不純物濃度の高い第２の低濃度のドレイン領域で高 V_{gs} 耐圧をもたせることで、動作時におけるドレイン耐圧を向上させることができる。

【0033】

また、基板表層にイオン注入しておいた拡散係数の異なる２種類の不純物を熱処理することで、その拡散係数の差を利用して第１の低濃度のドレイン領域と第２の低濃度のドレイン領域を形成しているため、第１の低濃度のドレイン領域内の極近傍に第２の低濃度のドレイン領域を形成することができる。

【図面の簡単な説明】

【図１】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図２】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図３】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図４】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図５】

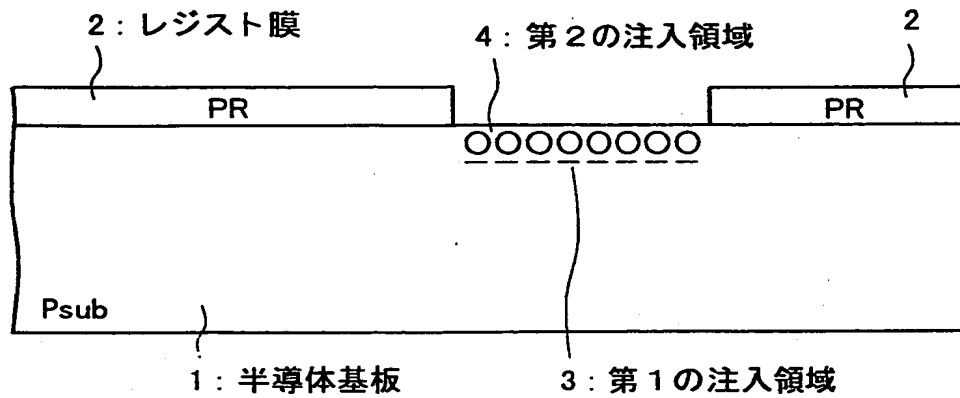
従来の半導体装置を示す断面図である。

【図６】

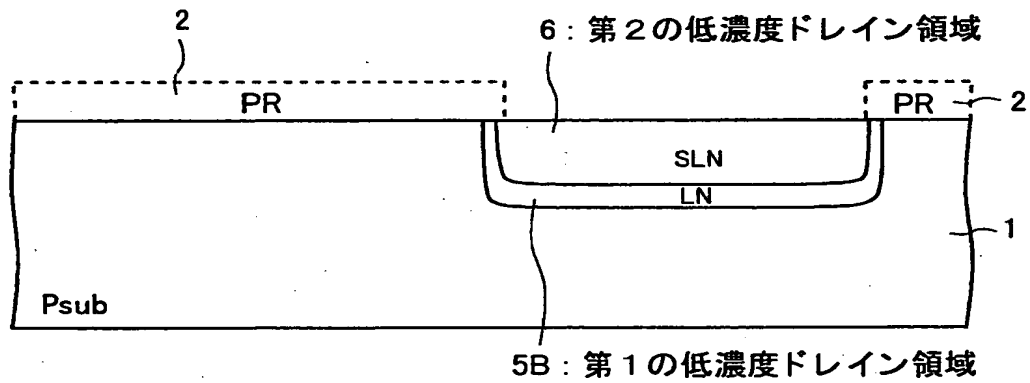
従来の課題を説明するための図である。

【書類名】 図面

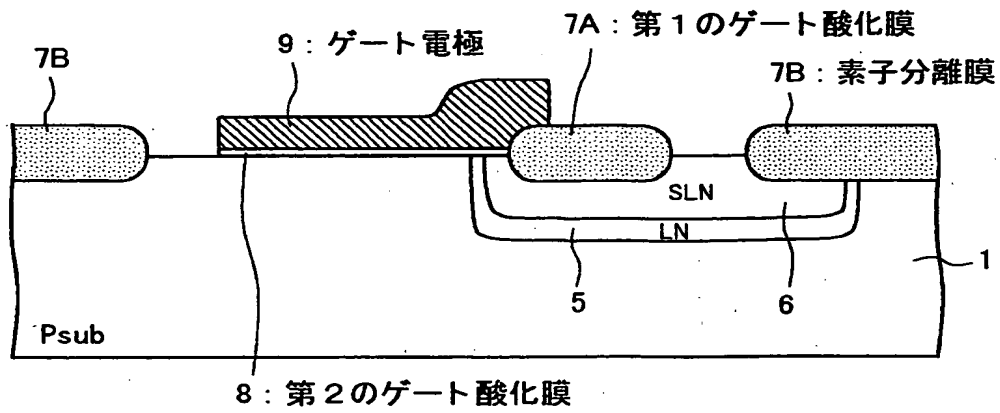
【図 1】



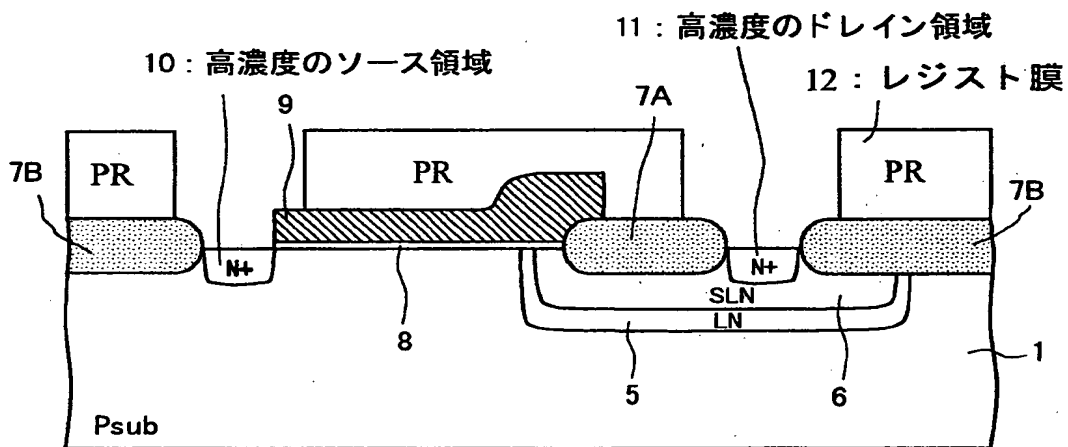
【図 2】



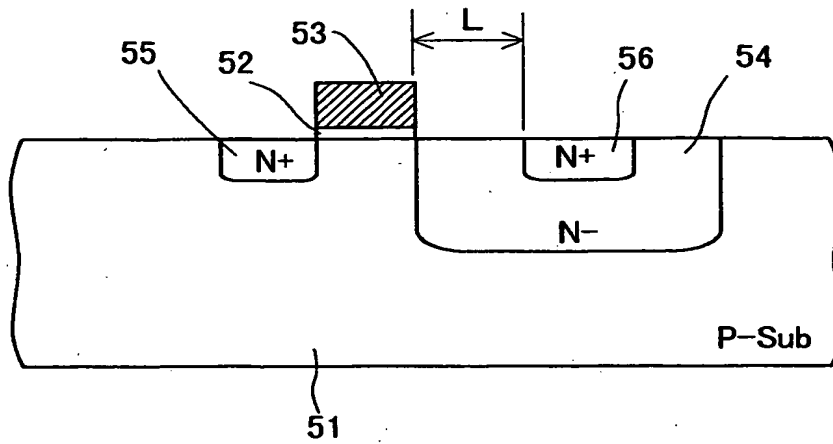
【図3】



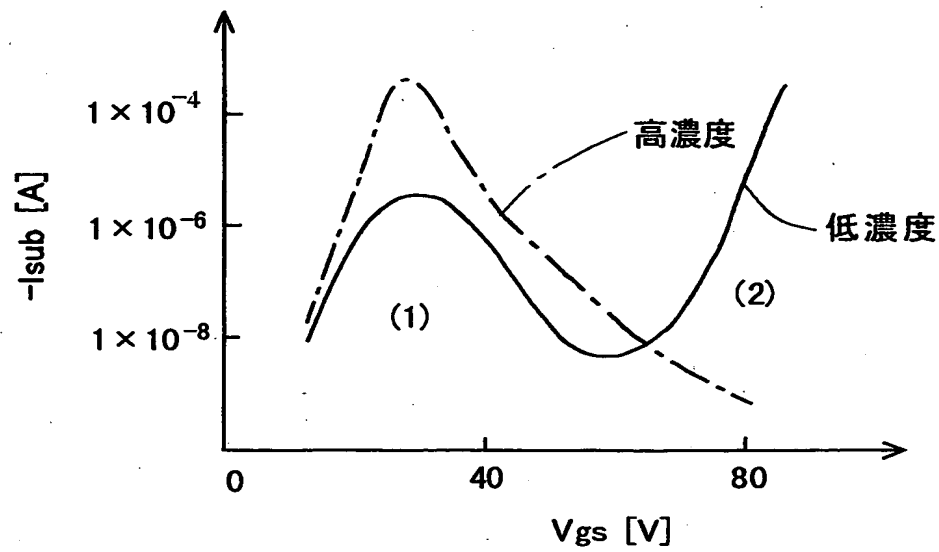
【図4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 動作時のドレイン耐圧を向上させる。

【解決手段】 本発明の半導体装置は、P型の半導体基板1上にゲート酸化膜7A、8を介して形成されたゲート電極9と、当該ゲート電極9の一端に隣接するように形成された第1の低濃度(LN型)のドレイン領域5と、当該第1の低濃度のドレイン領域5内の極近傍に形成され、少なくとも当該第1の低濃度のドレイン領域5の不純物濃度よりも不純物濃度が高い第2の低濃度(SLN型)のドレイン領域6と、前記ゲート電極9の他端に隣接するように形成された高濃度(N+型)のソース領域10と、前記ゲート電極9の一端から所定間隔を存して前記第2の低濃度のドレイン領域6内に形成された高濃度(N+型)のドレイン領域11とを具備したことを特徴とする。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社